

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuya MORIMOTO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: IMAGE PROCESSOR



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

2001-050032

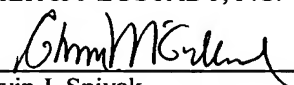
February 26, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
- Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
10/021349
12/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月26日

出 願 番 号

Application Number:

特願2001-050032

出 願 人

Applicant(s):

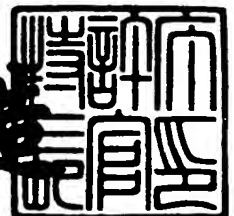
株式会社メガチップス

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3067376

【書類名】 特許願

【整理番号】 P23-0258

【提出日】 平成13年 2月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 大阪市淀川区宮原4丁目1番6号 株式会社メガチップス内

 【氏名】 森本 和也

【発明者】

 【住所又は居所】 大阪市淀川区宮原4丁目1番6号 株式会社メガチップス内

 【氏名】 松谷 隆司

【発明者】

 【住所又は居所】 大阪市淀川区宮原4丁目1番6号 株式会社メガチップス内

 【氏名】 佐々木 元

【特許出願人】

 【識別番号】 591128453

 【氏名又は名称】 株式会社メガチップス

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006492

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 入力する原画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを転送されて一時記憶する主メモリとを備えた画像処理装置であって、

前記画像処理回路は、前記原画像データの複数ラインの画素データを一時記憶する一時記憶領域と、前記原画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、を有すると共に、

前記主メモリは、前記分割画像データのうち前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された第 1 の分割画像データを格納する第 1 バッファ領域と、前記分割画像データのうち前記単一画素処理手段で処理された第 2 の分割画像データを格納する第 2 バッファ領域と、前記複数画素処理手段で処理された前記第 2 の分割画像データを格納する第 3 バッファ領域と、を有しており、

前記第 1 バッファ領域に格納された前記第 1 の分割画像データと前記第 3 バッファ領域に格納された前記第 2 の分割画像データとを合成する画像合成手段を備えることを特徴とする画像処理装置。

【請求項 2】 請求項 1 記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送が CPU（中央処理装置）によって制御される、画像処理装置。

【請求項 3】 請求項 1 記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送を制御する DMA（ダイレクト・メモリ・アクセス）コントローラを備える、画像処理装置。

【請求項 4】 請求項 3 記載の画像処理装置であって、前記 DMA コントローラは少なくとも 2 つの DMA チャンネルを有し、第 1 の前記 DMA チャンネル

が前記複数画素処理手段から前記第 1 バッファ領域へのデータ転送に割り当てられ、第 2 の前記 DMA チャンネルが前記単一画素処理手段から前記第 2 バッファ領域へのデータ転送に割り当てられる、画像処理装置。

【請求項 5】 請求項 3 記載の画像処理装置であって、前記 DMA コントローラは少なくとも 2 つの DMA チャンネルを有し、第 1 の前記 DMA チャンネルが前記第 2 バッファ領域から前記複数画素処理手段へのデータ転送に割り当てられ、第 2 の前記 DMA チャンネルが前記複数画素処理手段から前記第 3 バッファ領域へのデータ転送に割り当てられる、画像処理装置。

【請求項 6】 入力する原画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを転送されて一時記憶する主メモリと、該主メモリと前記画像処理回路との間のデータ転送を制御する DMA コントローラとを備えた画像処理装置であって、

前記画像処理回路は、前記原画像データの複数ラインの画素データを一時記憶する一時記憶領域と、前記原画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、を有し、

前記主メモリは、前記分割画像データのうち前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された第 1 の分割画像データを格納する第 1 バッファ領域と、前記分割画像データのうち前記単一画素処理手段で処理された第 2 の分割画像データを格納する第 2 バッファ領域と、を有しており、

前記第 1 バッファ領域は、前記第 2 バッファ領域から読出された前記第 2 の分割画像データを前記複数画素処理手段で処理して得られるデータをも格納し、

前記 DMA コントローラは、前記第 1 および第 2 の分割画像データを前記第 1 バッファ領域へ転送する時にアドレス指定することで 1 画像に合成して格納することを特徴とする画像処理装置。

【請求項 7】 請求項 6 記載の画像処理装置であって、前記 DMA コントローラは、前記主メモリ上のアドレスを生成出力する DMA チャンネルと、該 DM

Aチャンネルから出力された当該アドレスに対応した記憶素子と前記画像処理回路との間でデータ転送を実行させるメモリコントロール回路とを備えており、

前記DMAチャンネルは、前記第1バッファ領域中の所定の開始アドレスを起点とし、前記第1バッファ領域中の所定の終了アドレスに至るまで順次変化させて前記アドレスを生成出力するアドレスカウンタと、

前記アドレスカウンタにおける前記アドレスの順次変化と同期して計数するローカルカウンタと、

前記ローカルカウンタから出力される計数値が所定の最終値に達した時点で前記アドレスカウンタから出力される当該アドレスに所定のオフセット値を加減算した加減算値を前記アドレスカウンタに出力することで、アドレスカウンタに対して前記加減算値を起点として前記アドレスを変化させる加減算器と、を備えることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル・カメラなどに搭載される画像処理装置に関する。

【0002】

【従来の技術】

図10は、一般的なデジタル・スチル・カメラの概略構成図である。図示するように、デジタル・スチル・カメラ100では、CCDセンサやCMOSセンサなどの撮像センサ105で撮像した画像信号はデジタル信号へA/D変換された後に、画像処理部106においてガンマ補正、色空間変換、画素補間、輪郭強調などの種々の画像処理を施される。このような画像処理を施された画像データは液晶モニタ109にファインダー表示されたり、JPEG (Joint Photographic Experts Group) 方式やTIFF (Tag Image File Format) 方式などで圧縮符号化されて不揮発性メモリなどからなる記憶媒体 (メモリ・カード) 110に格納されたり、インターフェース111を介してパーソナル・コンピュータやプリンタなどの外部機器に出力されたりする。図10中、符号101は光学レンズ、102は色補正フィルタ、103は光学LPF (ローパスフィルタ)、10

4は色フィルタアレイ、107は撮像センサ105を駆動制御する駆動部を示している。

【0003】

一般に、前記画像処理部106における画像処理は、ガンマ補正や色空間変換などの単一画素単位の画像処理と、画素補間や輪郭強調などの複数画素単位の画像処理とに分類される。複数画素単位の画像処理では、処理データは当該画素周辺の複数の画素データを参照して創られるため、複数本の水平ライン分の画素データをライン・メモリ（図示せず）に格納する必要がある。そこで、少なくとも、撮像センサ105の水平画素数分の容量をもつライン・メモリを複数本用意するのが一般的であった。しかしながら、撮像センサ105の画素サイズには様々なものがあるため、ライン・メモリの容量を汎用の画素サイズに合わせると、それを越えた画素サイズをもつ撮像センサに対しては複数画素単位の画像処理を実行できないという問題があった。また、画像処理回路をチップ化した時にチップに組み込むライン・メモリの容量を大きくすると、消費電力が増大し、チップ・サイズが大きく且つ製造コストが高くなるという問題がある。

【0004】

【発明が解決しようとする課題】

図11は、前述の問題を解決する画像処理方法を説明するための概略ブロック図である。同図中、画像処理部106に入力する原画像データの水平画素数（3072）は、画像処理部106のRPU106Aに備わるライン・メモリ（図示せず）の水平画素数2048分の容量を超えているものとする。また、画像処理部106は、プログレッシブ（順次走査）形式の原画像データを実時間（リアルタイム）で画像処理するRPU（リアルタイム・プロセッシング・ユニット）106Aを備えている。このRPU106Aは集積回路化（チップ化）されており、原画像データ・バッファ108aから転送された原画像データに対して、ガンマ補正や画素補間、色空間変換などの画像処理を施す画素処理手段106Aaを備えている。

【0005】

先ず、撮像センサ105で撮像した原画像データは一旦、メモリ108上の原

画像データ・バッファ108aに転送され格納される(ST100)。次のステップST101, ST102で、原画像データ・バッファ108aからは、水平画素数2048の分割画像データA1と水平画素数1024の分割画像データA2とに分かれて画素データが読み出されRPU106Aに転送される。ステップST101では、原画像データ・バッファ108aから、分割画像データA1が読み出され画素処理手段106Aaに転送されて単一画素単位および複数画素単位の画像処理を施された後に、処理データ・バッファ108bに転送後、格納される。その後のステップST102では、原画像データ・バッファ108aから、分割画像データA2が読み出され画素処理手段106Aaに転送されて画像処理を施された後に、処理データ・バッファ108cに転送後、格納される。

【0006】

その後のステップST103では、処理データ・バッファ108b, 108cにそれぞれ格納された分割画像データA1a, A2aは画像合成手段106Bに転送後、1フレームの画像データに合成される。

【0007】

そして、CPU106Cは、画像合成手段106Bから出力された画像データをJPEG方式などで圧縮符号化し(ST104)、これを記憶媒体(メモリ・カード)110に格納する(ST105)。

【0008】

しかしながら、このような画像処理では、RPU106Aは、画素処理手段106Aaで複数画素単位の処理をする際、各分割画像データA1, A2の複数ライン分をライン・メモリに蓄積せねばならず、各分割画像データA1, A2を時間的に独立に処理する必要がある。よって、1フレーム分の原画像データを一旦、原画像データ・バッファ108aに記憶した後に、各分割画像データA1, A2毎にRPU106Aに転送しているため、メモリ108の容量が大きくなりコスト高を招くと共に、画像処理時間が長くなるという問題を有する。従って、例えば、撮影者がシャッター・ボタンを押してから記憶媒体110への圧縮符号化画像の書込みが終了するまでの処理時間が長大になってしまう。

【0009】

以上の問題に鑑みて本発明が解決しようとするところは、ライン・メモリの容量を超える水平画素数をもつ原画像データが入力しても、画像処理時間の短縮化やコスト低減を図ることができる画像処理装置を提供する点にある。

【 0 0 1 0 】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 に係る発明は、入力する原画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを転送されて一時記憶する主メモリとを備えた画像処理装置であって、前記画像処理回路は、前記原画像データの複数ラインの画素データを一時記憶する一時記憶領域と、前記原画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、前記分割画像データに対して単一面素単位で画像処理を実行する単一面素処理手段と、前記分割画像データを前記単一面素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、を有すると共に、前記主メモリは、前記分割画像データのうち前記単一面素処理手段と前記複数画素処理手段とで連続的に処理された第 1 の分割画像データを格納する第 1 バッファ領域と、前記分割画像データのうち前記単一面素処理手段で処理された第 2 の分割画像データを格納する第 2 バッファ領域と、前記複数画素処理手段で処理された前記第 2 の分割画像データを格納する第 3 バッファ領域と、を有しており、前記第 1 バッファ領域に格納された前記第 1 の分割画像データと前記第 3 バッファ領域に格納された前記第 2 の分割画像データとを合成する画像合成手段を備えることを特徴とするものである。

【 0 0 1 1 】

請求項 2 に係る発明は、請求項 1 記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送が CPU（中央処理装置）によって制御される。

【 0 0 1 2 】

請求項 3 に係る発明は、請求項 1 記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送を制御する DMA（ダイレクト・メモリ・アクセス）コントローラを備えるものである。

【 0 0 1 3 】

請求項 4 に係る発明は、請求項 3 記載の画像処理装置であって、前記 DMA コントローラは少なくとも 2 つの DMA チャンネルを有し、第 1 の前記 DMA チャンネルが前記複数画素処理手段から前記第 1 バッファ領域へのデータ転送に割り当てられ、第 2 の前記 DMA チャンネルが前記単一画素処理手段から前記第 2 バッファ領域へのデータ転送に割り当てられるものである。

【 0 0 1 4 】

請求項 5 に係る発明は、請求項 3 記載の画像処理装置であって、前記 DMA コントローラは少なくとも 2 つの DMA チャンネルを有し、第 1 の前記 DMA チャンネルが前記第 2 バッファ領域から前記複数画素処理手段へのデータ転送に割り当てられ、第 2 の前記 DMA チャンネルが前記複数画素処理手段から前記第 3 バッファ領域へのデータ転送に割り当てられるものである。

【 0 0 1 5 】

請求項 6 に係る発明は、入力する原画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを転送されて一時記憶する主メモリと、該主メモリと前記画像処理回路との間のデータ転送を制御する DMA コントローラとを備えた画像処理装置であって、前記画像処理回路は、前記原画像データの複数のラインの画素データを一時記憶する一時記憶領域と、前記原画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、を有し、前記主メモリは、前記分割画像データのうち前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された第 1 の分割画像データを格納する第 1 バッファ領域と、前記分割画像データのうち前記単一画素処理手段で処理された第 2 の分割画像データを格納する第 2 バッファ領域と、を有しており、前記第 1 バッファ領域は、前記第 2 バッファ領域から読出された前記第 2 の分割画像データを前記複数画素処理手段で処理して得られるデータをも格納し、前記 DMA コントローラは、前記第 1 および第 2 の分割画像データを前記第 1 バッファ領域へ転送する

時にアドレス指定することで1画像に合成して格納することを特徴とするものである。

【0016】

請求項7に係る発明は、請求項6記載の画像処理装置であって、前記DMAコントローラは、前記主メモリ上のアドレスを生成出力するDMAチャンネルと、該DMAチャンネルから出力された当該アドレスに対応した記憶素子と前記画像処理回路との間でデータ転送を実行させるメモリコントロール回路とを備えており、前記DMAチャンネルは、前記第1バッファ領域中の所定の開始アドレスを起点とし、前記第1バッファ領域中の所定の終了アドレスに至るまで順次変化させて前記アドレスを生成出力するアドレスカウンタと、前記アドレスカウンタにおける前記アドレスの順次変化と同期して計数するローカルカウンタと、前記ローカルカウンタから出力される計数値が所定の最終値に達した時点で前記アドレスカウンタから出力される当該アドレスに所定のオフセット値を加減算した加減算値を前記アドレスカウンタに出力することで、アドレスカウンタに対して前記加減算値を起点として前記アドレスを変化させる加減算器と、を備えることを特徴とするものである。

【0017】

【発明の実施の形態】

以下、本発明の種々の実施の形態に係る画像処理方法について説明する。

【0018】

全体構成。

図1は、本発明の実施の形態で用いるデジタル・スチル・カメラ1の全体構成を示す概略図である。このデジタル・スチル・カメラ1は、AF（オートフォーカス）機能や自動露出調節機能などを備えた光学機構11を備えており、この光学機構11を通じて被写体画像がCCD（電荷結合素子）センサ12で撮像される。このとき必要に応じて撮影タイミングに同期され光量を調節された光をストロボ（閃光装置）30から発して被写体に照射してもよい。撮像した被写体の画像データはアナログ信号処理回路13に取り込まれデジタル画像信号（原画像データ）にA/D変換される。その原画像データはRPU（リアルタイム・プ

ロセッシング・ユニット) 14において画素補間、色空間変換、ガンマ補正、輪郭強調およびフィルタリングなどの所定の画像処理を実時間処理(リアルタイム処理)にて施される。このような画像処理を受けた画像データはファインダーとして機能するLCD 23に表示されたり、またはCPU 17によりJPEG方式やTIFF方式などによる圧縮符号化処理を受けた後に、メイン・バス10を介して、カードインターフェース27Aに転送されてメモリカード27に格納されたり、外部インターフェース(I/F) 28に転送されてパーソナルコンピュータなどの外部機器に出力されたりする。

【0019】

また主メモリ26は、アナログ信号処理回路13、RPU 14、DMAコントローラ(データ転送制御装置) 24およびJPEG処理部25と共にメイン・バス10を介して相互に接続されている。アナログ信号処理回路13と主メモリ26間もしくはRPU 14と主メモリ26間のデータ転送は、CPU 17またはDMAコントローラ24で制御される。

【0020】

尚、図1において、符号15はCCDセンサ12を駆動するCCD駆動回路、16はRPU 14およびCCD駆動回路15などの動作タイミングを規律するタイミングジェネレータ、18はPLL発信回路、19はCPU 17の補助演算装置(コプロセッサ)を示し、また符号20はディスプレイモジュール、21はデジタルエンコーダ、22はLCD 23を駆動するLCD駆動回路を示している。またクロックジェネレータ29は、PLL発振回路18から供給されるクロック信号を分周することで、RPU 14、タイミングジェネレータ16、CPU 17およびデジタルエンコーダ21などの全モジュールの駆動クロック信号を生成する。

【0021】

実施の形態1.

図2は、本発明の実施の形態1に係る画像処理装置を説明するための概略ブロック図である。図2に示すように本実施の形態に係る画像処理装置は、集積回路化(チップ化)されたRPU(画像処理回路) 14と、主メモリ26と、画像合

成手段 3 1 とを備えている。また R P U 1 4 は水平画素数 2 0 4 8 分の容量をもつ複数本のライン・メモリ（図示せず）を搭載している。

【 0 0 2 2 】

R P U 1 4 は、プログレッシブ形式で入力する原画像データ（水平画素数：3 0 7 2）を第 1 の分割画像データ A 1（水平画素数：2 0 4 8）と第 2 の分割画像データ A 2（水平画素数：1 0 2 4）とに分割する画像分割手段 1 4 a と、この画像分割手段 1 4 a から出力された分割画像データを単一画素単位で画像処理する単一画素処理手段 1 4 b と、複数画素単位で画像処理する複数画素処理手段 1 4 a とを備えている。

【 0 0 2 3 】

単一画素単位での画像処理としては、ガンマ特性を補正するガンマ補正処理や、原信号がカラー画像信号の場合に 3 色系（R G B 系）や 4 色系（Y M C G 系など）などで表現されている画像データを他の色空間成分に変換する色空間変換処理などが挙げられる。色空間変換後の色空間座標系には、N T S C（National Television System Committee）方式などで採用される Y U V 座標系、Y I Q 座標系、Y C_bC_r座標系などが挙げられる。他方、複数画素単位での画像処理としては、画素補間処理や輪郭強調処理などが挙げられる。例えば、ベイヤー方式の撮像センサでは各画素に単色の色フィルタが割り当てられるため、その撮像センサで撮像した原画像データは各画素について単色成分しかもたない。画素補間処理では、当該画素を有する水平ラインを含む 3 ～ 5 本の水平ライン上の周辺画素のデータを参照し、不足の色成分の画素データを創り出す必要がある。このために R P U 1 4 は上記のライン・メモリ（図示せず）を複数本用意している。

【 0 0 2 4 】

以下、本実施の形態 1 に係る画像処理方法について詳説する。先ず、ステップ S T 1 では、プログレッシブ方式で駆動した上記 C C D センサ 1 2 から出力される画像信号は、アナログ信号処理回路 1 3 でデジタル信号（原画像データ）に変換された後、主メモリ 2 6 に一旦転送されることなく、上記 R P U 1 4 の画像分割手段 1 4 a に直接入力する。画像分割手段 1 4 a は、入力する原画像データ（水平画素数：3 0 7 2）を第 1 の分割画像データ A 1（水平画素数：2 0 4 8）

と第2の分割画像データA2（水平画素数：1024）とに分割して単一画素処理手段14bに出力する。

【0025】

次のステップST2では、単一画素処理手段14bは、第1の分割画像データA1に単一画素単位の実時間処理を施した後に、連続的に複数画素処理手段14cに出力する。続くステップST3で複数画素処理手段14cは、入力する分割画像データA1aを上記ライン・メモリに複数ライン分蓄積して複数画素単位の実時間処理を実行した後に出力する。そしてステップST4で、複数画素処理手段14cから出力された分割画像データA1bは、CPU17の制御によりメイン・バス10を介して主メモリ26上の第1バッファ領域26aに転送され格納される。一方、ステップST5で単一画素処理手段14bは、画像分割手段14aから入力する分割画像データA2に単一画素単位の画像処理を施して分割画像データA2aを出力し、続くステップST6で、その分割画像データA2aはCPU17の制御によりメイン・バス10を介して第2バッファ領域26bに転送され格納される。

【0026】

尚、上記画像分割手段14aでの実際の分割処理では、入力する画素データが分割画像データA1、A2の何れの領域に属するかが識別され、その識別信号が単一画素処理手段14bに発せられる。単一画素処理手段14bはその識別信号に応じて処理データの出力先を切り換える、即ち、当該画素データが分割画像データA1に属する場合は処理データA1aを複数画素処理手段14cに出力し（ST3）、当該画素データが分割画像データA2に属する場合は処理データA2aを第2バッファ領域26bへ出力する（ST6）。

【0027】

上記ステップST1～ST6の処理が終了後、ステップST7で複数画素処理手段14cは、第2バッファ領域26bに格納された分割画像データA2aを読み出して複数画素単位の実時間処理を実行して得られる分割画像データA2bを出力する。前記ステップST7と並行してステップST8では、複数画素処理手段14cから出力される分割画像データA2bはCPU17の制御によりメイン・

バス 1 0 を介して第 3 バッファ領域 2 6 c に転送され格納される。

【 0 0 2 8 】

次のステップ S T 9 で画像合成手段 3 1 は、第 1 バッファ領域 2 6 a に格納された分割画像データ A 1 b と、第 3 バッファ領域 2 6 c に格納された分割画像データ A 2 b とを読み出し、双方の分割画像データ A 1 b、A 2 b を合成して C P U 1 7 に出力する。尚、画像合成手段 3 1 はハードウェア構成として R P U 1 4 に組み込まれても良いし、C P U 1 7 で実行されるソフトウェア形態でも良い。そして、C P U 1 7 は、画像合成手段 3 1 から入力する合成画像データをソフトウェア処理で J P E G 形式や T I F F 形式などで圧縮符号化し (S T 1 0)、その圧縮符号化データを上記カード・インターフェース 2 7 A からメモリ・カード 2 7 に転送し格納させる (S T 1 1)。

【 0 0 2 9 】

このように実施の形態 1 に係る画像処理では、上述の従来例の場合のようにプログレッシブ形式の原画像データを一旦、主メモリに格納した後に上記 R P U 1 4 に転送するステップを必要としないため、画像処理速度を向上することでき、また主メモリ 2 6 上のバッファ領域を削減できるから製造コストを低減することが可能となる。

【 0 0 3 0 】

実施の形態 2.

C P U 1 7 の負荷を低減させて画像処理速度を向上させる観点からは、R P U 1 4 と主メモリ 2 6 との間のデータ転送に上記 D M A コントローラ 2 4 を用いるのが好ましい。図 3 は、D M A コントローラ 2 4 を用いた、本発明の実施の形態 2 に係る画像処理装置を説明するための概略ブロック図である。尚、図 3 において、図 2 に示した符号と同じ符号を付したブロックについては上述の同様の機能を有するものとして詳細な説明を省略する。図 3 で付したステップ番号についても同様である。

【 0 0 3 1 】

また図 4 は、D M A コントローラ 2 4 の概略構成を示すブロック図である。この D M A コントローラ 2 4 は、アービタ (調停回路) 3 2、メモリ・コントロー

ル回路MC 1、そして2つのDMAチャンネルCH 0、CH 1を備えている。またアービタ3 2とメモリコントロール回路MC 1はメイン・バス1 0に接続されている。このようなDMAコントローラ2 4によるDMA転送処理は次の通りである。アービタ3 2はRPU 1 4からDMA転送要求を受けると、DMAチャンネルCH 0（またはCH 1）に対して作動信号ACKを発することで、RPU 1 4と主メモリ2 6上のバッファ領域との間のデータ転送のためにDMAチャンネルCH 0（またはCH 1）を割り当てる。ここで、アービタ3 2が複数のDMA転送要求を同時に受けたり、CPU 1 7による主メモリ2 6へのアクセスが発生したりした場合には、予め定めた規則に従って各DMA転送要求の優先順位を決定しこの優先順位に従った作動信号ACKを出力する。前記作動信号ACKを受けたDMAチャンネルCH 0（またはCH 1）は、当該バッファ領域上のアドレスを順次生成しこれをアービタ3 2に出力する。

【 0 0 3 2 】

アービタ3 2は、メモリ・コントロール回路MC 1にメイン・バス1 0の使用を許可する旨の制御信号と前記DMAチャンネルCH 0（またはCH 1）から出力された当該アドレスとを出力する。メモリ・コントロール回路MC 1は、前記制御信号によりメイン・バス1 0を獲得すると共に、前記バッファ領域上の当該アドレスに記憶されたデータをRPU 1 4にDMA転送させるか、もしくは前記バッファ領域上の当該アドレスに向けてRPU 1 4からデータをDMA転送させるように制御する。

【 0 0 3 3 】

本実施の形態2では、上記ステップST 3の後のステップST 4 Dで、複数画素処理手段1 4 cから第1バッファ領域2 6 aへのデータ転送にDMAチャンネルCH 0を割り当て、一方、上記ステップST 5の後のステップST 6 Dで、単一画素処理手段1 4 bから第2バッファ領域2 6 bへのデータ転送にDMAチャンネルCH 1を割り当てる。これにより、ステップST 4 Dでは、複数画素処理手段1 4 cから出力された分割画像データA 1 bを第1バッファ領域2 6 aにDMA転送して格納し、ステップST 6 Dでは、単一画素処理手段1 4 bから出力された分割画像データA 2 aを第2バッファ領域2 6 bにDMA転送して格納で

きる。

【0034】

そして前記ステップST4D、ST6Dの処理が終了した後に、ステップST7Dで、第2バッファ領域26bから複数画素処理手段14cへのデータ転送にDMAチャンネルCH0を割り当て、一方、ステップST8Dで、その複数画素処理手段14cから第3バッファ領域26cへのデータ転送にDMAチャンネルCH1を割り当てる。これにより、ステップST7Dで、第2バッファ領域26bに格納された分割画像データA2aを複数画素処理手段14cにDMA転送するのと並行して、ステップST8Dでは、その複数画素処理手段14cから出力される分割画像データA2bを第3バッファ領域26cにDMA転送して格納できる。

【0035】

このように本実施の形態2では、ステップST4D、ST6DとステップST7D、ST8Dとで各DMAチャンネルCH0、CH1の割り当てを切り換えてDMA転送を実行するため、RPU14における画像処理を効率よく実行でき、画像処理速度を向上させることが可能となる。

【0036】

実施の形態3.

次に、本発明の実施の形態3について説明する。図5は、本実施の形態3に係る画像処理装置を説明するための概略ブロック図である。尚、図5において、図3に示した符号と同じ符号を付したブロックについては上述の同様の機能を有するものとして詳細な説明を省略する。図5で付したステップ番号についても同様である。

【0037】

本実施の形態3では、上記DMAコントローラ24のDMAチャンネルCH0、CH1として、図6に示す回路構成を用いることが特徴である。図6に示すDMAチャンネルCHn (n:0または1)は、主メモリ26のバッファ領域における転送開始アドレスAsを格納するレジスタSREG1と、当該バッファ領域における転送終了アドレスAeを格納するレジスタEREG1とを備えており、

転送開始アドレス A_s と転送終了アドレス A_e は CPU 17 から転送されて各レジスタに記憶される。

【0038】

また DMA チャンネル CH_n は、レジスタ $SREG_1$ に格納された転送開始アドレス A_s を起点とし、転送終了アドレス A_e に到達するまで順次増分して当該バッファ領域上のアドレスを生成出力するアドレスカウンタ AC_1 を備えている。アドレスカウンタ AC_1 から出力されたアドレスはアービタ 32 に出力され、アービタ 32 は当該アドレスを用いて上述の DMA 転送処理を実行する。尚、本発明において「増分」とは正または負の方向に当該量を変化（インクリメントまたはデクリメント）させることを意味する。

【0039】

また比較器 CMP_1 は、前記アドレスカウンタ AC_1 から伝達されたアドレスとレジスタ $EREG_1$ に格納される転送終了アドレス A_e とを比較し、双方が一致した時、すなわち当該アドレスが転送終了アドレス A_e に到達した時に「H (High)」レベルの比較信号を、双方が一致しない間は「L (Low)」レベルの比較信号をインバータ 40 に出力し、インバータ 40 はその比較信号をレベル反転した反転信号を AND 素子 41 に出力する。

【0040】

また DMA チャンネル CH_n は、アドレスカウンタ AC_1 におけるアドレスの増分動作と同期した計数処理を実行するローカルカウンタ LC_1 を備えている。また比較器 CMP_2 は、このローカルカウンタ LC_1 から伝達される計数値とレジスタ $LEREG_1$ に格納された最終値とを比較し、双方が一致した時、すなわち前記計数値が最終値に到達した時には「H」レベルの比較信号を、双方が不一致の間は「L」レベルの比較信号をセクタ SEL_1 およびアドレスカウンタ AC_1 に出力する。レジスタ $LEREG_1$ に格納される最終値は CPU 17 から転送される。

【0041】

またセクタ SEL_1 は、入力する比較信号のレベルが「L」の場合は零値を選択して出力し、その比較信号のレベルが「H」の場合はレジスタ $OREG_1$ に

格納されたオフセット値を選択して出力するように制御される。レジスタOREG1に格納されるオフセット値はCPU17から転送される。また加算器AD1は、セクタSEL1から伝達される値とアドレスカウンタAC1から伝達されたアドレスとを加算した加算値をアドレスカウンタAC1に出力することで、アドレスカウンタAC1に当該加算値を起点としたアドレスを生成させる。尚、本実施の形態では、アドレスが正方向へ増分される場合を想定して加算器AD1を用いているが、アドレスが負方向へ増分される場合は上記加算器AD1は減算器に代替される。

【0042】

このようなDMAチャンネルCH_nの動作は次の通りである。先ず、CPU17は、図7に示す主メモリ26のバッファ領域Buの転送開始アドレスAsと転送終了アドレスAeとをそれぞれ、レジスタSREG1とレジスタEREG1とに転送して記憶させる。またCPU17は、レジスタLEREG1に格納される最終値とレジスタOREG1に格納されるオフセット値も転送する。次に、アービタ32からAND素子41を介して作動信号ACKが入力し、AND素子41は作動信号ACKと比較器CMP1から入力する「H」レベル信号とを論理積演算したイネーブル信号ENをアドレスカウンタAC1に出力する。アドレスカウンタAC1は、前記イネーブル信号ENを受けて前記転送開始アドレスAsを起点としたアドレスの増分動作を開始する。

【0043】

またローカルカウンタLC1は、アドレスカウンタAC1の増分動作と同期して計数した計数値を比較器CMP1に出力し、比較器CMP1は当該計数値がレジスタLEREG1に格納された最終値に到達した時に「H」レベルの比較信号をセクタSEL1に出力する。この時、ローカルカウンタLC1の計数値は零値にリセットされる。またこの時、セクタSEL1はレジスタOREG1に格納されたオフセット値を選択して加算器AD1に出力し、アドレスカウンタAC1は前記比較信号を受けて加算器AD1から出力される加算値を読み込み、この加算値（前記オフセット値だけ飛び越した（オフセットした）アドレス）を起点としたアドレスを順次生成して出力する。すなわち、図7に示すように、アドレ

スカウンタAC1は、ローカルカウンタLC1の計数値が最終値に到達するまでは領域TR1のアドレスを生成し、その計数値が最終値に到達するとオフセット値に対応するオフセット領域OR1を飛び越して次の領域TR1のアドレスを生成する。最終的にアドレスカウンタAC1で生成したアドレスが転送終了アドレスAeに到達した時に、比較器CMP1からAND素子41に「L」レベル信号が発せられるので、AND素子41からアドレスカウンタAC1へのイネーブル信号ENは断たれて、アドレスカウンタAC1は増分動作を中止する。

【0044】

このようなDMAチャンネルCHnを有するDMAコントローラ24を用いた画像処理を図5を参照しつつ以下に詳説する。

【0045】

図5に示すように、上記ステップST3の後のステップST40では、複数画素処理手段14cから第1バッファ領域26aへのデータ転送に図6の回路構成をもつDMAチャンネルCH0が割り当てられる。すなわち、上記レジスタSREG1に第1バッファ領域26aの先頭アドレスAsが転送され、上記レジスタEREG1には第1バッファ領域26aの最終アドレスAeが転送される。また、上記レジスタLEREG1には、分割画像データA1の水平画素数2048に対応するアドレス領域の長さ（以下、アドレス長と呼ぶ。）を示す最終値が転送され、上記レジスタOREG1には、分割画像データA2の水平画素数1024に対応するアドレス長を示すオフセット値が転送されて格納される。

【0046】

これにより、アドレスカウンタAC1は、図8の説明図に示すように、第1バッファ領域26aの先頭アドレスAsを起点として矢印50で示す方向にアドレスを順次増分させていき、そのアドレスが水平画素数2048に対応するアドレス領域の最終値に達した時点で、水平画素数1024に対応するアドレス領域をオフセットさせることを繰り返し実行する。従って、第1バッファ領域26aの第1領域26aAには、水平画素数2048の分割画像データA1bが格納される。

【0047】

その後のステップST41では、複数画素処理手段14cから第1バッファ領域26aへのデータ転送に図6の回路構成をもつDMAチャンネルCH1が割り当てられる。すなわち、上記レジスタSREG1に第1バッファ領域26aの先頭アドレスAsと水平画素数2048に対応するアドレス長とを加算した転送開始アドレスAsが転送され、上記レジスタEREG1に第1バッファ領域26aの最終アドレスAeが転送される。また、上記レジスタLEREG1には、分割画像データA2の水平画素数1024に対応するアドレス長を示す最終値が転送され、上記レジスタOREG1には、分割画像データA1の水平画素数1024に対応するアドレス長を示すオフセット値が転送されて格納される。

【0048】

これにより、アドレスカウンタAC1は、図9の説明図に示すように、転送開始アドレスAsを起点とした矢印51で示す方向にアドレスを順次増分させていき、そのアドレスが水平画素数1024に対応するアドレス領域の最終値に達した時点で、水平画素数2048に対応するアドレス領域をオフセットさせることを繰り返し実行する。従って、第1バッファ領域26aの第2領域26aBには、水平画素数1024の分割画像データA2bが格納される。

【0049】

このように第1バッファ領域26aには、分割画像データA1bと分割画像データA2bとを合成した水平画素数3072の合成画像データが格納される。

【0050】

そして次のステップST42では、CPU17は、第1バッファ領域26aに格納された合成画像データを読み出してJPEG方式などで圧縮符号化した後に、次のステップST43でその圧縮符号化データは、上記カード・インターフェース27Aに転送されメモリ・カード27に格納される。

【0051】

このように本実施の形態3に係る画像処理では、画像分割手段14aで分割された分割画像データA1と分割画像データA2とをそれぞれ、単一画素処理手段14bおよび複数画素処理手段14cで処理した後、第1バッファ領域26aにDMA転送する時に1画像に合成できるため、上記実施の形態1、2の画像合成

手段 3 1 は不要となり、画像処理を更に高速化することが可能となる。

【 0 0 5 2 】

【発明の効果】

以上の如く、請求項 1 に係る画像処理装置によれば、ライン・メモリなどの上記一時記憶領域が、入力する原画像データの水平画素数分の容量をもたなくても、従来の場合のように原画像データを一旦、主メモリに格納した後に上記画像処理回路に転送するステップを必要としないため、画像処理速度を向上できると共に、主メモリ上のバッファ領域を削減できるから製造コストを低減させることが可能となる。

【 0 0 5 3 】

また請求項 2 によれば、上記主メモリと上記画像処理回路との間のデータ転送を CPU で実行できる。

【 0 0 5 4 】

また請求項 3 によれば、CPU の負荷が減り、上記主メモリと上記画像処理回路との間のデータ転送を高速で実行できるため、画像処理速度を更に向上させることが可能となる。

【 0 0 5 5 】

また請求項 4 によれば、上記複数画素処理手段で処理された第 1 の分割画像データを上記第 1 バッファ領域へ DMA 転送し、上記単一画素処理手段で処理された第 2 の分割画像データを上記第 2 バッファ領域へ DMA 転送できるから、画像処理が効率良く実行され、画像処理速度を向上させることが可能となる。

【 0 0 5 6 】

また請求項 5 によれば、上記第 2 バッファ領域に格納された第 2 の分割画像データを上記単一画素処理手段に DMA 転送し、これと並行してその単一画素処理手段で処理されたデータを上記第 3 バッファ領域に DMA 転送できるから、画像処理が効率良く実行され、画像処理速度を向上させることが可能となる。

【 0 0 5 7 】

また請求項 6 によれば、請求項 1 と同様に、ライン・メモリなどの上記一時記憶領域が、入力する原画像データの水平画素数分の容量をもたなくても、従来の

場合のように原画像データを一旦、主メモリに格納した後に上記画像処理回路に転送するステップを必要としないため、画像処理速度を向上できると共に、主メモリ上のバッファ領域を削減できるから製造コストを低減させることが可能となる。更に、上記分割画像データをDMA転送時に合成できるため、分割画像データの合成処理を高速化し画像処理速度を向上させることが可能となる。

【 0 0 5 8 】

そして請求項7によれば、上記複数画素処理手段から第1の分割画像データを上記第1バッファ領域にDMA転送する時と、上記複数画素処理手段から第2の分割画像データを上記第1バッファ領域にDMA転送する時とで、それぞれ上記開始アドレス、終了アドレス、最終値およびオフセット値を適宜指定することで、その第1バッファ領域に第1および第2の分割画像データを1画像に合成した状態で格納することが可能となる。

【図面の簡単な説明】

【図1】

本発明の実施の形態で用いるデジタル・スチル・カメラの全体構成を示す概略図である。

【図2】

本発明の実施の形態1に係る画像処理装置を説明するための概略ブロック図である。

【図3】

本発明の実施の形態2に係る画像処理方法を説明するための概略ブロック図である。

【図4】

本発明の実施の形態に係る画像処理装置で用いるDMAコントローラの概略構成を示すブロック図である。

【図5】

本発明の実施の形態3に係る画像処理装置を説明するための概略ブロック図である。

【図6】

本発明の実施の形態3に係る画像処理装置で用いるDMAチャンネルの構成図である。

【図7】

DMAコントローラによる転送処理を模式的に示す説明図である。

【図8】

DMAコントローラによる転送処理を模式的に示す説明図である。

【図9】

DMAコントローラによる転送処理を模式的に示す説明図である。

【図10】

一般的なデジタル・スチル・カメラの概略構成図である。

【図11】

従来の画像処理を説明するためのブロック図である。

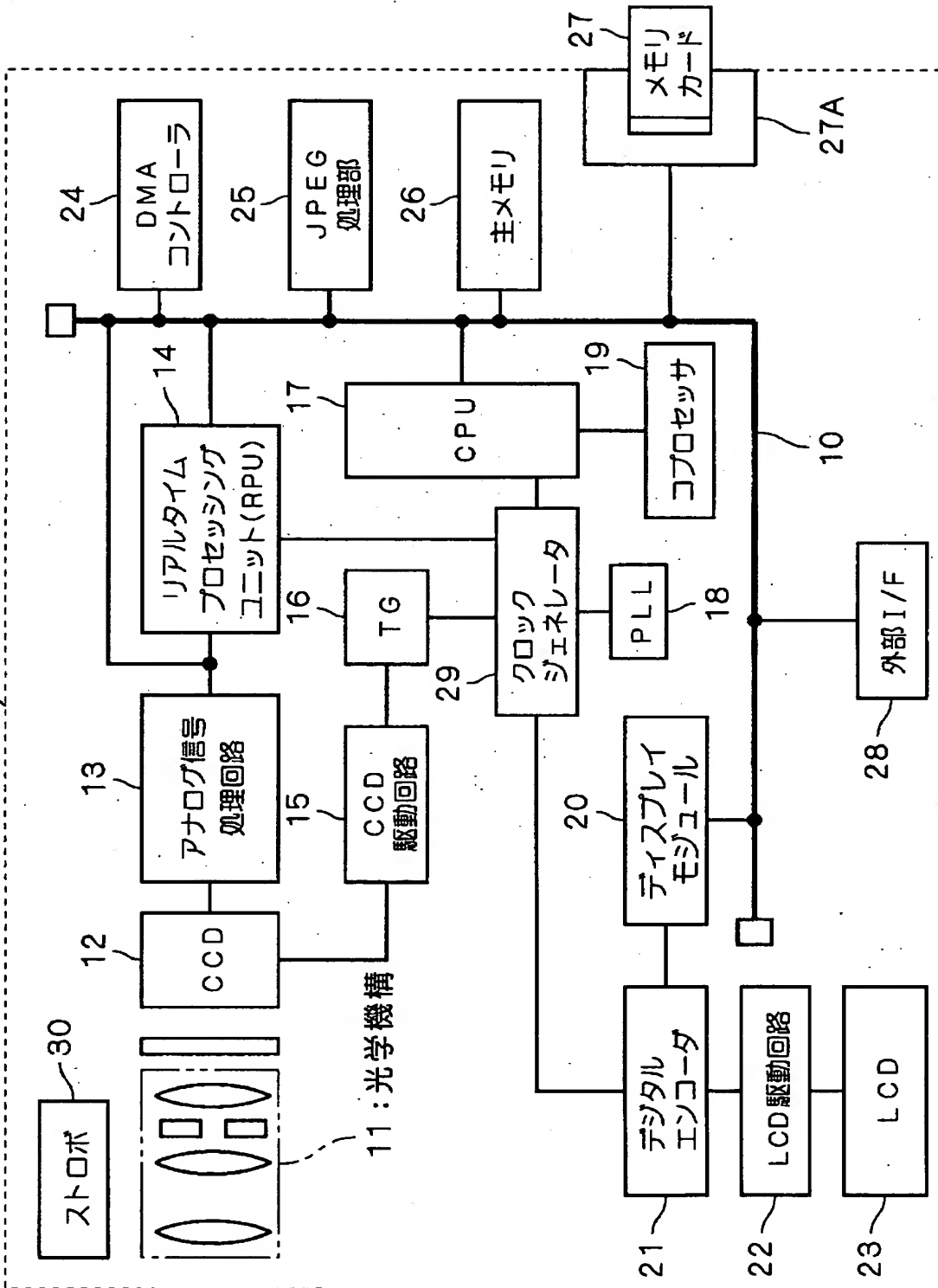
【符号の説明】

- 14 RPU（リアルタイム・プロセッシング・ユニット）
- 14a 画像分割手段
- 14b 単一画素処理手段
- 14c 複数画素処理手段
- 31 画像合成手段

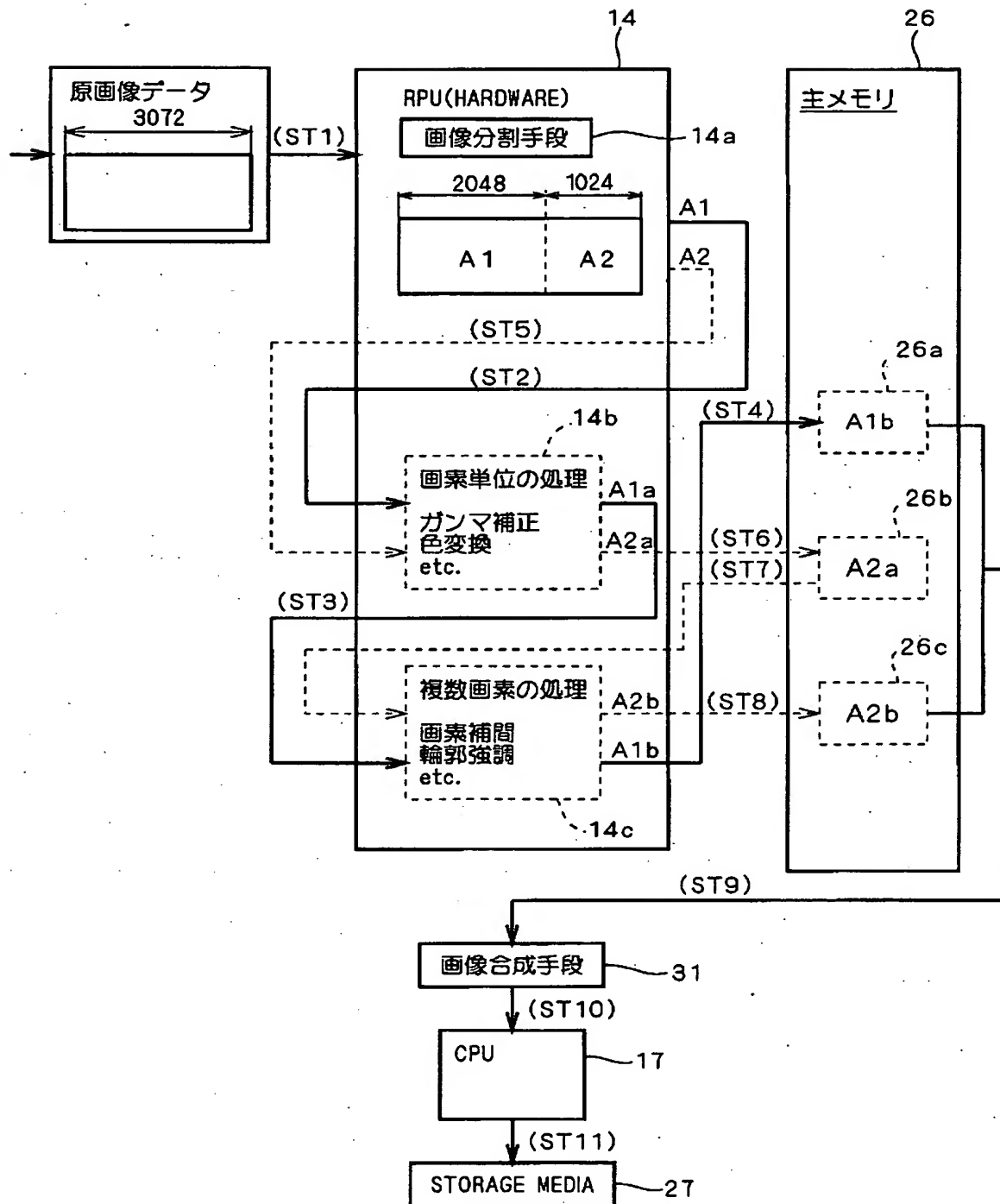
【書類名】 図面

【図 1】

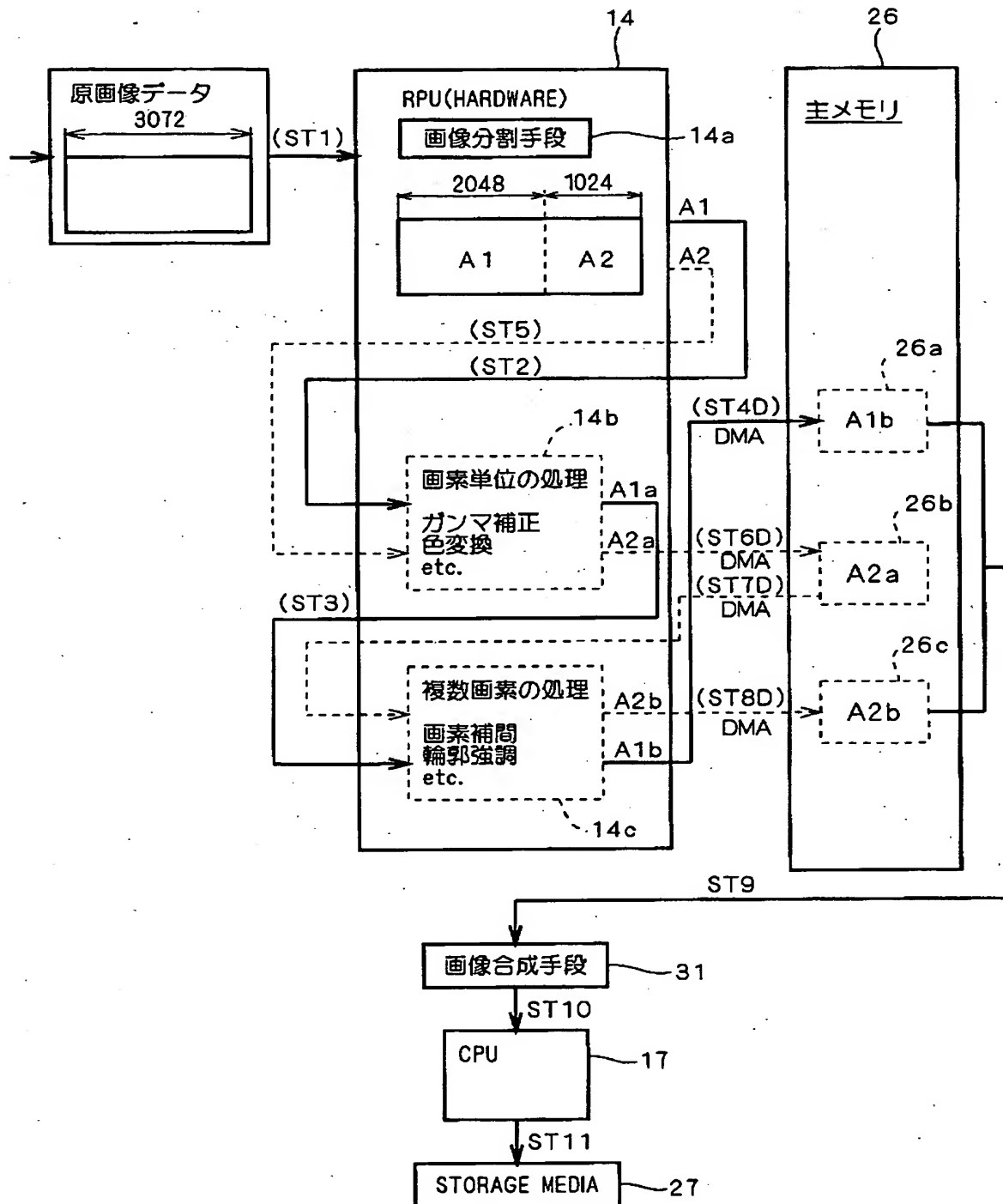
図 1: デジタル・スチル・カメラ



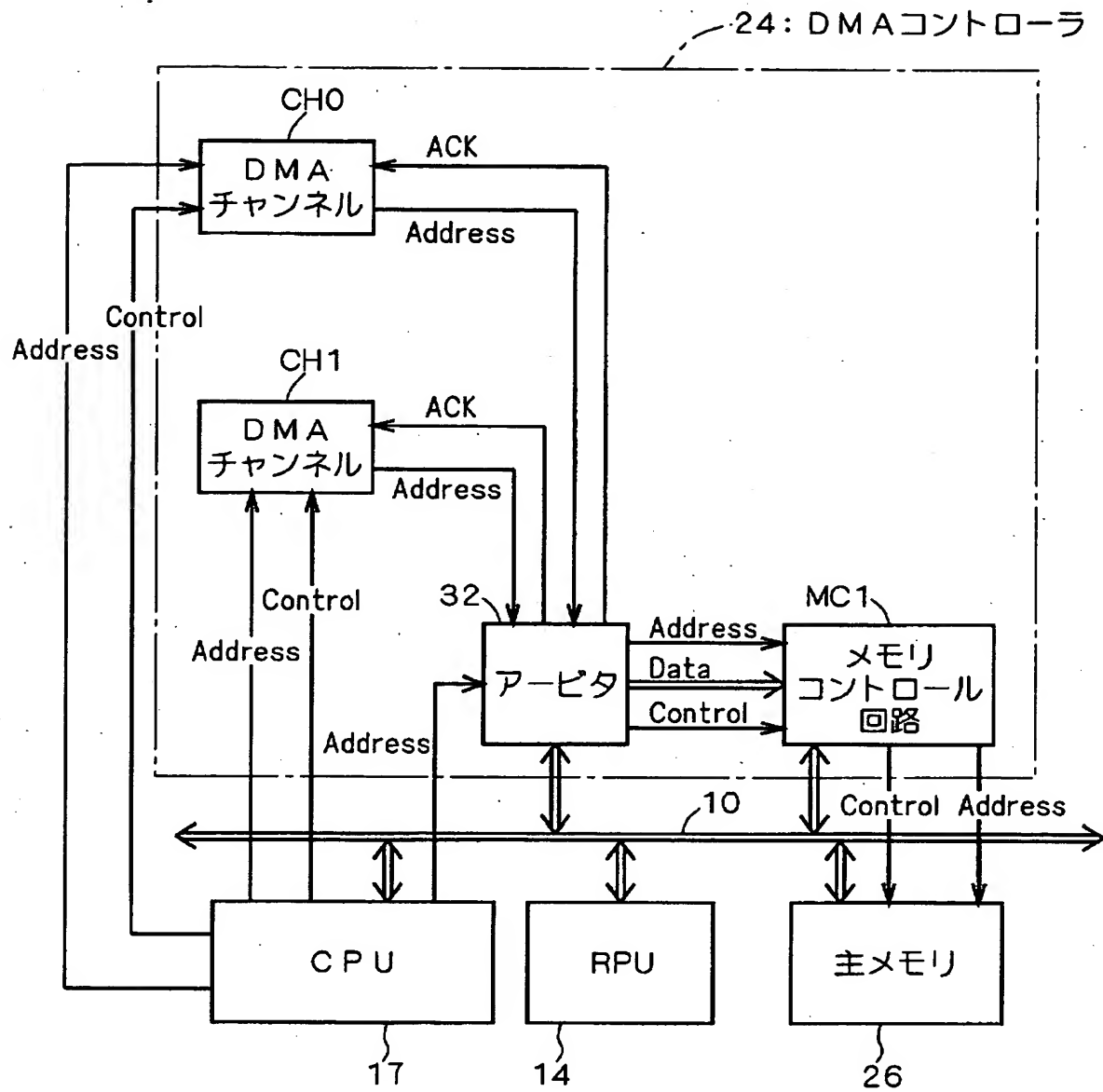
【図 2】



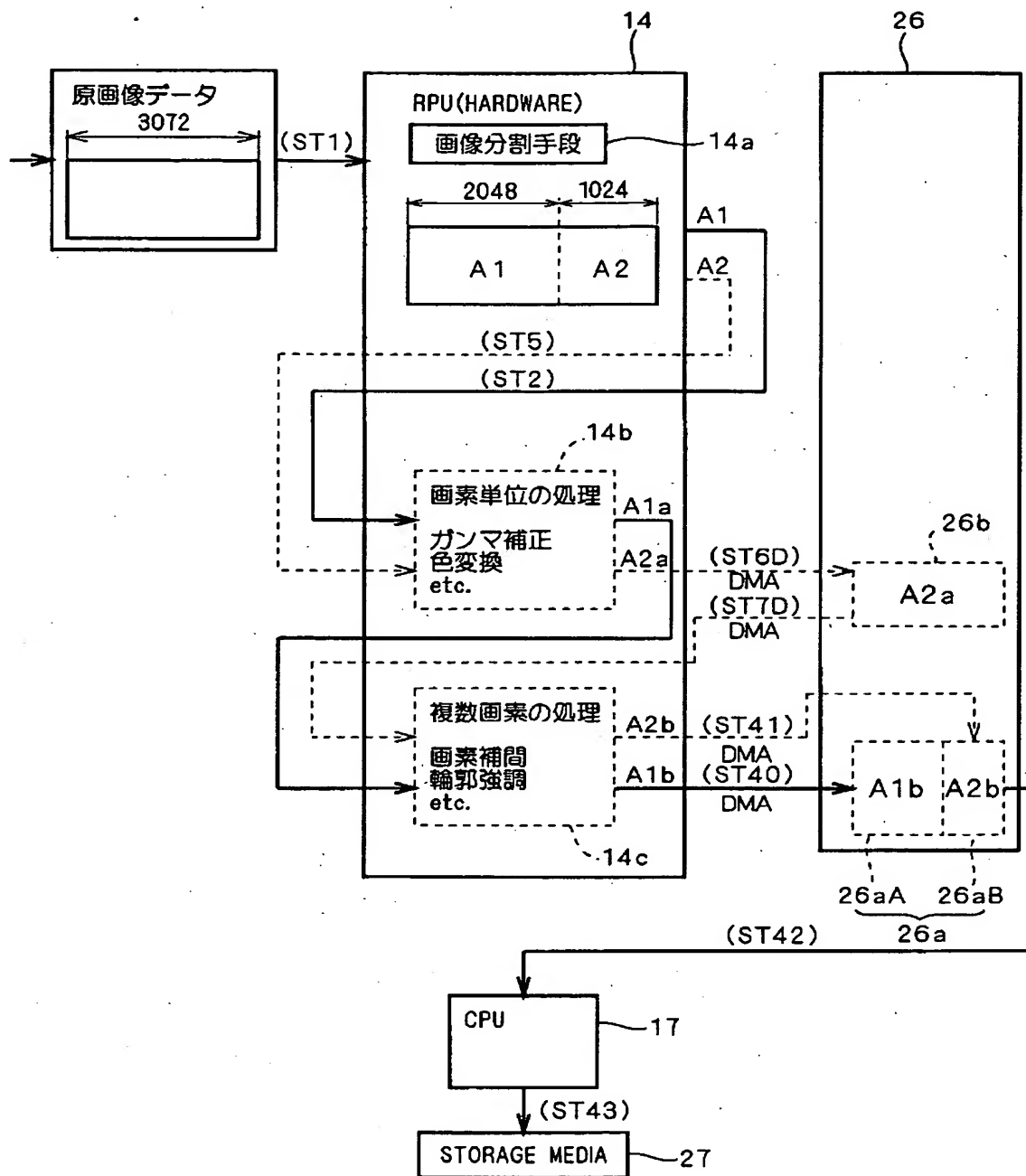
【図3】



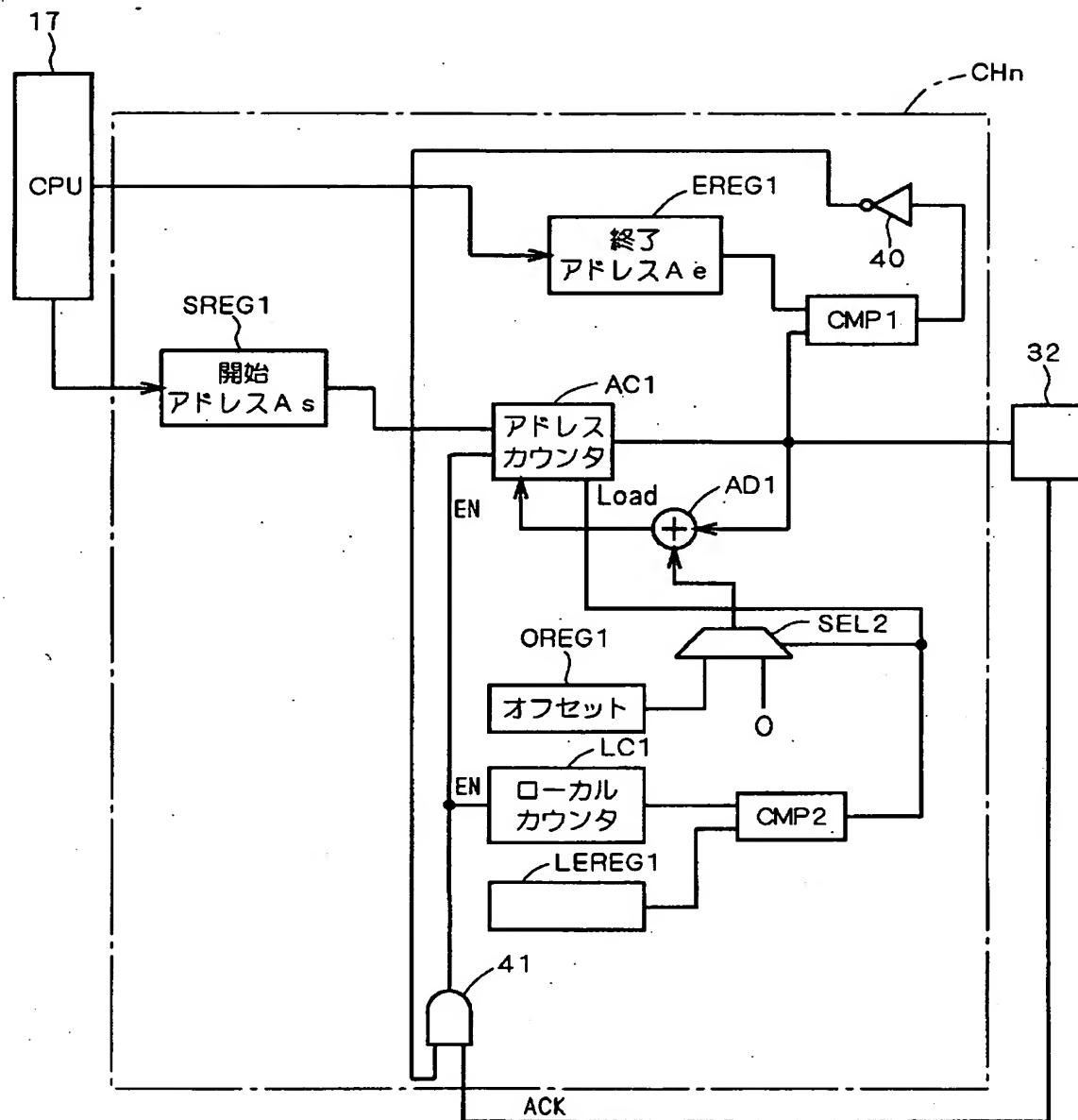
【図4】



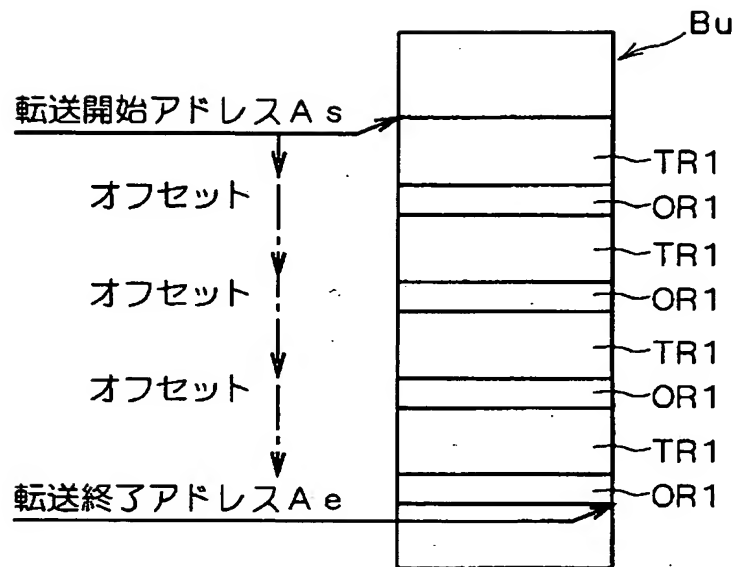
【図 5】



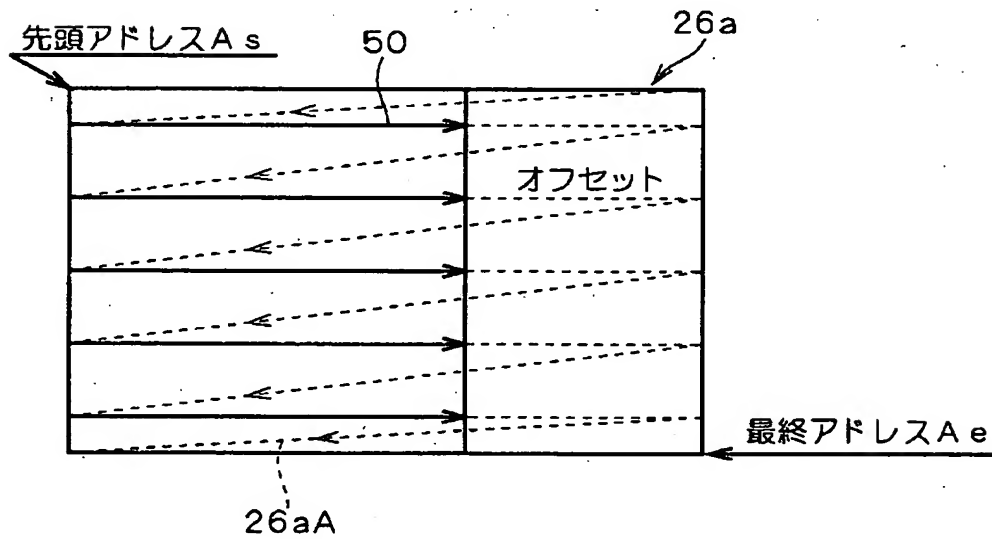
【図 6】



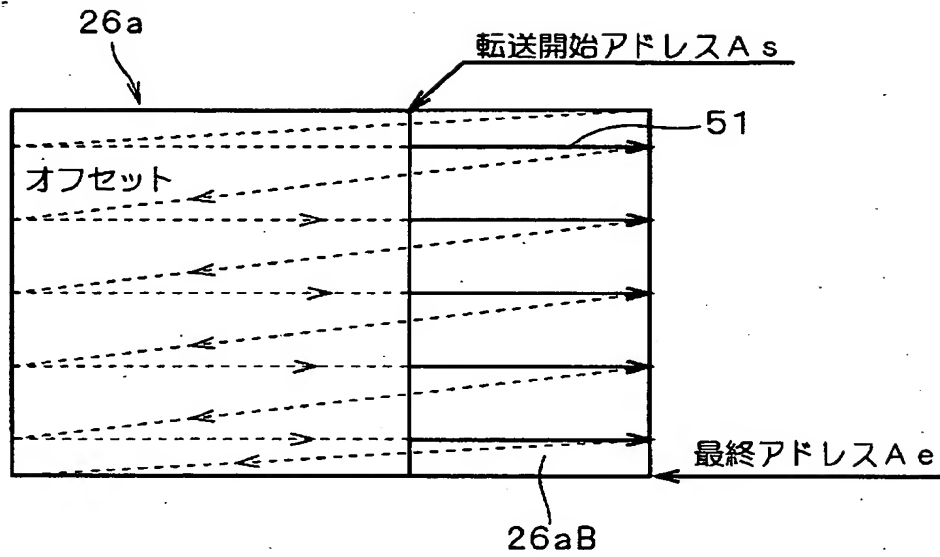
【図 7】



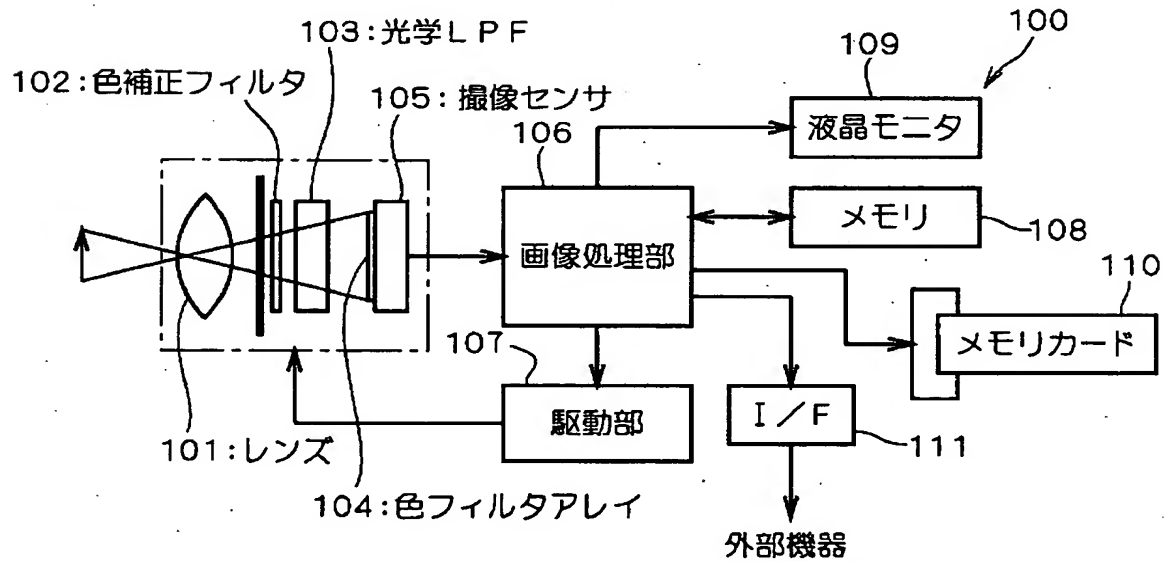
【図 8】



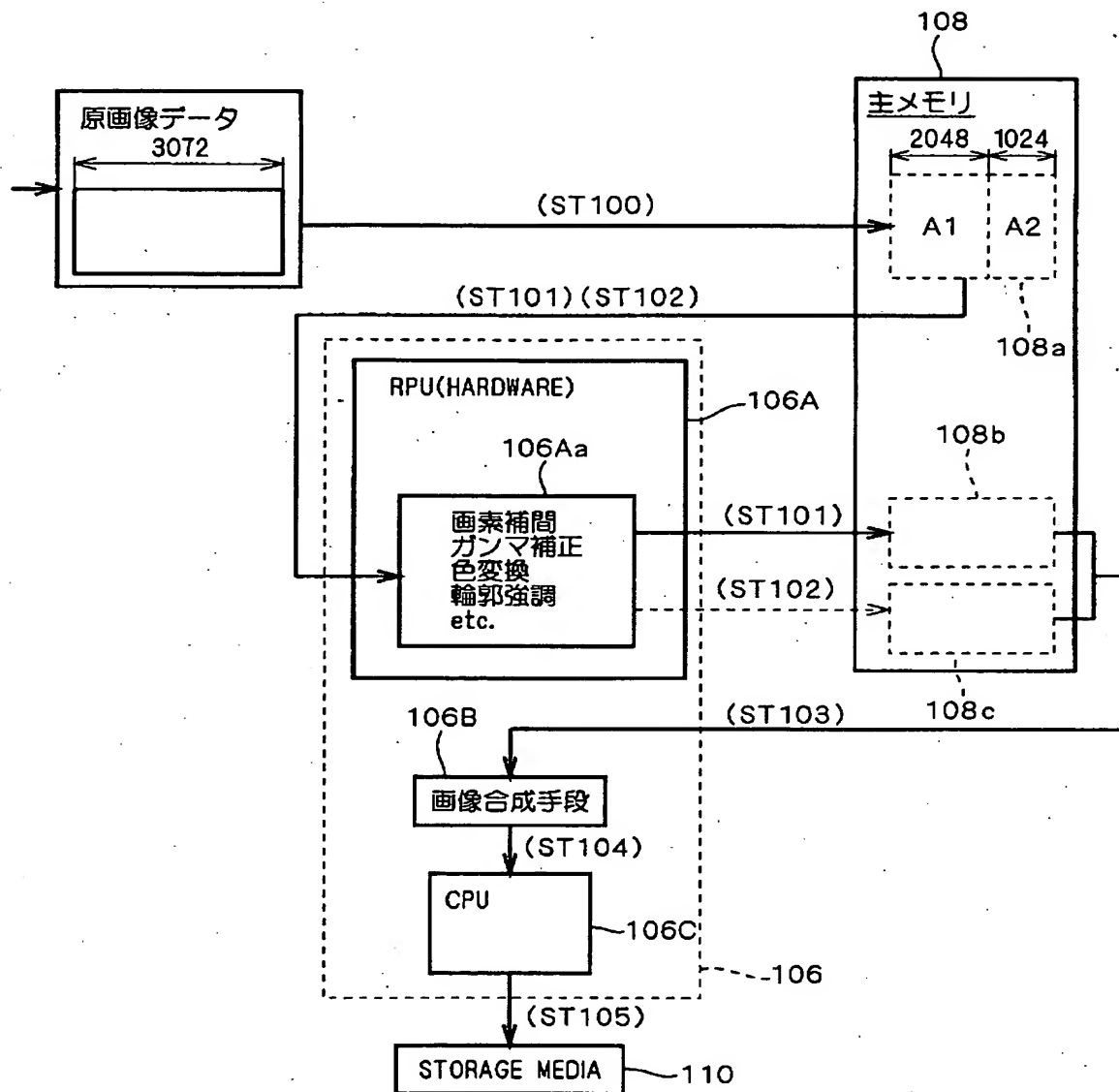
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 ライン・メモリの容量を超える水平画素数をもつ原画像データが入力しても、画像処理時間の短縮化やコスト低減を図る。

【解決手段】 RPU14の画像分割手段14aは原画像データを分割画像データA1（水平画素数2048）とA2（水平画素数1024）とに分割する。分割画像データA1は単一画素処理手段14bと複数画素処理手段14cとで連続的に処理後、バッファ26aに転送され格納される。分割画像データA2は単一画素処理手段14bで処理後、バッファ26bに転送され一旦格納される。複数画素処理手段14cはバッファ26bに格納された分割画像データA2aを読み出し処理した後にバッファ26cに転送し格納する。画像合成手段31は、バッファ26aとバッファ26cとに格納された分割画像データA1b, A2bを読み出して合成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号

[591128453]

1. 変更年月日	2000年 4月13日
[変更理由]	住所変更
住 所	大阪市淀川区宮原4丁目1番6号
氏 名	株式会社メガチップス